

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05217385 A

(43) Date of publication of application: 27.08.93

(51) Int. Cl

G11C 16/04

G11C 11/409

(21) Application number: 04019233

(71) Applicant: SHARP CORP

(22) Date of filing: 04.02.92

(72) Inventor: HOTTA YASUHIRO

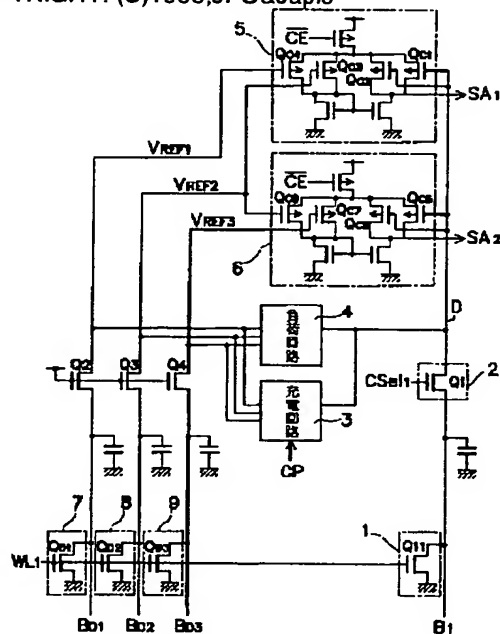
(54) SEMICONDUCTOR STORAGE DEVICE

COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract:

PURPOSE: To perform stable read-out by comparing potential of two dummy bit lines with potential of a bit line, in all combinations of two dummy bit lines whose set values of mutual conductance are close each other.

CONSTITUTION: A column selecting circuit 2 connects a bit line B1 to a data line D, while a charging circuit 3 previously charges the line D and the line B1 at potential of V0 by making a CP signal activated state. If the transistor 11 of a memory 1 is set to a prescribed threshold value, a reference voltage VRFF₂ is neglected and a comparison result SA1 is outputted by comparing with a reference voltage VRFF₁ in a first comparator 5. The reference voltage VRFF₂ is neglected and a comparison result SA2 is outputted by only comparing with a reference voltage VRFF₃ in a second comparator 6 too. Therefore, since these potential differences in comparison have the range more than the least set pitch among threshold values of at least three kinds, the comparison margin can be enlarged, and stable read-out can be performed.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-217385

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl.⁵G11C 16/04
11/409

識別記号

庁内整理番号

FI

技術表示箇所

9191-5L
6628-5LG11C 17/00
11/34305
353 F

審査請求 未請求 請求項の数1(全8頁)

(21)出願番号 特願平4-19233

(22)出願日 平成4年(1992)2月4日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 堀田 泰裕

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

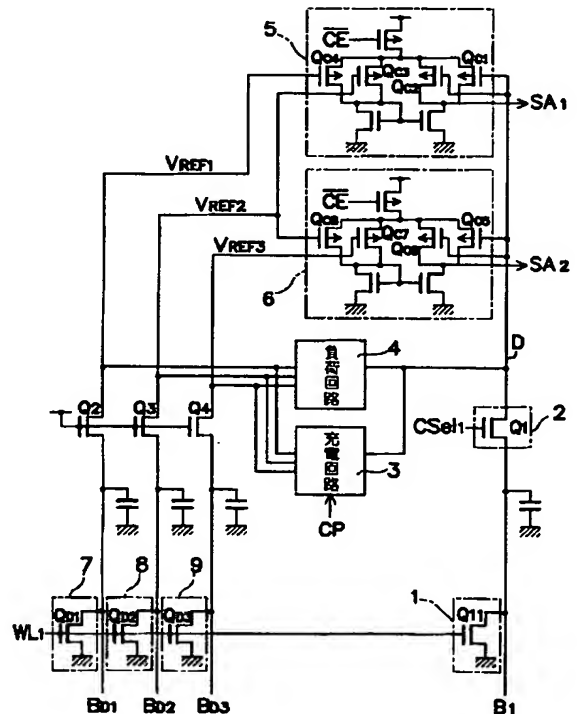
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【構成】 選択されたメモリセル・トランジスタQ11によるビット線B1の電位をダミーセル・トランジスタQD1、QD2、QD3による参照電圧VREF1、VREF2、VREF3と比較する第1比較回路5と第2比較回路6を設けた。

【効果】 第1比較回路5と第2比較回路6での比較マージンを大きくして、メモリセル1に記憶された情報を安定して読み出すことができる。



【特許請求の範囲】

【請求項1】データの読み出し時に一定電位にプリチャージされるビット線が、予め定められた3値以上の複数の相互コンダクタンスのうちいずれかの値を示すように設定され、かつ、データ読み出し時にいずれか1個が選択されて所定のゲート電圧が印加されるメモリセル・トランジスタがビット線に多数接続されたメモリセルアレイを有する半導体記憶装置であって、
該複数の相互コンダクタンスのうちの互いに異なるいずれかの値を示すように設定され、かつ、データ読み出し時にそれぞれ所定のゲート電圧が印加される複数個のダミーセル・トランジスタと、
それぞれいずれかのダミーセル・トランジスタが接続され、データ読み出し時にそれぞれの接続されているダミーセル・トランジスタに応じた電位を発生する複数本のダミービット線と、
相互コンダクタンスの設定値が互いに隣接する少なくとも2本のダミービット線の全ての組み合わせについて、各組み合わせごとに、ビット線と少なくとも2本のダミービット線とを入力し、比較結果をそれぞれ出力する比較回路とを備えている半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、3値以上の多値情報をメモリセル・トランジスタのしきい値の相違によって記憶する半導体記憶装置に関する。

【0002】

【従来の技術】マスクROM等の半導体記憶装置では、メモリセル・トランジスタのしきい値の相違によって情報の記憶を行う場合が多い。

【0003】このメモリセル・トランジスタに2値情報を記憶させる場合には、選択時に2種類のしきい値の間のゲート電圧をこのメモリセル・トランジスタに印加してオン又はオフのいずれかの状態に飽和させればよいので、十分なマージンで読み出しを行うことができる。

【0004】しかしながら、3値以上の多値情報を記憶する場合には、3種類以上のしきい値が必要となり、所定のゲート電圧を印加したメモリセル・トランジスタの出力電圧を2種類以上の参照電圧と比較して情報の読み出しを行う必要がある。

【0005】ここで、3値情報の記憶を行う従来の半導体記憶装置の読み出し回路を図3に示す。例えばメモリセル・トランジスタQ11からデータを読み出す場合には、まずコラムアドレスに基づいてコラム選択回路11がビット線B1をデータ線Dに接続すると共に、CP信号を活性状態とすることにより充電回路12がこのデータ線Dを介してビット線B1をV0電位にプリチャージする。また、ローアドレスに基づいてワード線WL1を選択し、メモリセル・トランジスタQ11に電源電圧VCCレベルのゲート電圧を印加する。

【0006】上述の状態でCP信号を不活性状態に戻し充電回路12を停止させると、ビット線B1は、メモリセル・トランジスタQ11のしきい値の設定に応じて電位が変化することになる。即ち、例えばメモリセル・トランジスタQ11が低いしきい値 V_{th1} （約0.5V）に設定されている場合には、オン状態となって相互コンダクタンスも十分に大きくなるため、このメモリセル・トランジスタQ11を介して大きな放電電流が流れる。従って、ビット線B1の電位は、図4の放電特性E1に示すように、急速に低下する。また、メモリセル・トランジスタQ11が中間のしきい値 V_{th2} （約2.5V）に設定されている場合にもオン状態となるが、相互コンダクタンスはあまり大きくならないため、放電電流もしきい値 V_{th1} の場合より少なくなる。従って、ビット線B1の電位は、放電特性E2に示すように、比較的緩やかに低下する。さらに、メモリセル・トランジスタQ11が電源電圧VCCレベルよりも高いしきい値 V_{th3} に設定されている場合には、オフ状態となって相互コンダクタンスが極めて小さくなるため、放電電流もほとんど流れない。従って、ビット線B1の電位は、放電特性E3に示すように、V0電位のままとする。

【0007】このようにしてメモリセル・トランジスタQ11のしきい値の設定に応じて変化するビット線B1の電位は、データ線Dを介して第1比較回路13と第2比較回路14とに入力される。また、これら第1比較回路13と第2比較回路14には、参照電圧発生回路15からの参照電圧VREF1、VREF2がそれぞれ入力される。参照電圧VREF1の電位は、図4に示すように、上記放電特性E1と放電特性E2との中間の速度でV0電位から低下するようになっている。また、参照電圧VREF2の電位は、放電特性E2よりもさらに緩やかに電位が低下するようになっている。従って、図4の時刻t1から時刻t2までの間に、これら第1比較回路13と第2比較回路14によってデータ線Dの電位を参照電圧VREF1、VREF2とそれぞれ比較すれば、その比較結果SA1、SA2に基づいてメモリセル・トランジスタQ11に設定されたしきい値を判断し、記憶された情報を読み出すことができる。

【0008】

【発明が解決しようとする課題】ところが、上記従来の読み出し回路では、メモリセル・トランジスタQ11が例えばしきい値 V_{th2} に設定されている場合、放電特性E2と参照電圧VREF1との電位差が放電特性E1、E2間の2分の1しかなく、また、参照電圧VREF2との電位差も放電特性E2、E3間の2分の1以下となり、第1比較回路13と第2比較回路14での比較マージンが小さくなる。しかも、実際にメモリセル・トランジスタQ11に設定するしきい値には誤差があり、ビット線B1の寄生容量等にもバラツキが生じるので、このような小さい比較マージンでは、必ずしも十分ではない場合が多い。

【0009】このため、従来の半導体記憶装置では、メモリセル・トランジスタにしきい値として多値情報を記憶する場合に、比較マージンが不足して安定した読み出しを行うことができない場合があるという問題があった。

【0010】本発明は、上記事情に鑑み、選択されたメモリセル・トランジスタの出力電位を同じ特性のダミーセル・トランジスタの出力電位と比較することにより、比較マージンを大きくして安定した読み出しを行うことができる半導体記憶装置を提供することを目的としている。

【0011】

【課題を解決するための手段】本発明の半導体記憶装置は、データの読み出し時に一定電位にプリチャージされるビット線が、予め定められた3値以上の複数の相互コンダクタンスのうちいずれかの値を示すように設定され、かつ、データ読み出し時にいずれか1個が選択されて所定のゲート電圧が印加されるメモリセル・トランジスタがビット線に多数接続されたメモリセルアレイを有する半導体記憶装置であって、該複数の相互コンダクタンスのうちの互いに異なるいずれかの値を示すように設定され、かつ、データ読み出し時にそれぞれ所定のゲート電圧が印加される複数のダミーセル・トランジスタと、それぞれいずれかのダミーセル・トランジスタが接続され、データ読み出し時にそれぞれの接続されているダミーセル・トランジスタに応じた電位を発生する複数の本ダミービット線と、相互コンダクタンスの設定値が互いに隣接する少なくとも2本のダミービット線の全ての組み合わせについて、各組み合わせごとに、ビット線と少なくとも2本のダミービット線とを入力し、比較結果をそれぞれ出力する比較回路とを備えており、そのことにより上記目的が達成される。

【0012】

【作用】データ読み出し時に、いずれか1個のメモリセル・トランジスタを選択して所定のゲート電圧を印加すると、一定電位にプリチャージされていたビット線は、選択されたメモリセル・トランジスタを介して電源への放電又は電源からの充電が行われる。ただし、このメモリセル・トランジスタを介する放電電流又は充電電流の大きさは、そのメモリセル・トランジスタが予め設定された相互コンダクタンスの値によって異なるので、ビット線の電位の時間に伴う変化もこの設定に応じて相違が生じる。

【0013】また、データ読み出し時には、全てのダミーセル・トランジスタにそれぞれ所定のゲート電圧が印加されるので、上記と同様に、一定電位にプリチャージされていたダミービット線の電位がそれぞれ接続されるダミーセル・トランジスタの設定に応じて時間と共に異なる変化を示す。そして、選択されたメモリセル・トランジスタと同じ設定のダミーセル・トランジスタが接続

されたダミービット線については、ビット線とほぼ同様の電位の変化を示すことになる。

【0014】比較回路は、これら各ダミービット線の電位とビット線の電位とをそれぞれ比較する。ただし、これは、相互コンダクタンスの設定値が互いに隣接する2本のダミービット線の全ての組み合わせについて、各組み合わせにおける2本のダミービット線の電位とビット線の電位とが比較される。しかも、各組み合わせにおいては、ビット線の電位との電位差が大きい方のダミービット線の電位と、このビット線の電位との比較結果のみをそれぞれ出力するようになっている。

【0015】すると、選択されたメモリセル・トランジスタの設定が複数の相互コンダクタンスの両端の値のいずれでもない場合には、これと同じ設定のダミーセル・トランジスタが接続されたダミービット線の電位を比較対象とする2つの組み合わせの比較結果が互いに逆になる。そして、その他の組み合わせについては、双方のダミービット線の電位が共にビット線の電位よりも高いか低いかのいずれかとなり、それに応じた比較結果が出力される。また、選択されたメモリセル・トランジスタの設定が複数の相互コンダクタンスの両端の値であった場合には、これと同じ設定のダミーセル・トランジスタが接続されたダミービット線の電位を比較対象とする組み合わせが1組だけとなり、しかも、この組み合わせでの比較結果が他の全ての組み合わせの比較結果と一致する。

【0016】従って、比較回路の各組み合わせにおける比較結果が全て一致しない場合、選択されたメモリセル・トランジスタは、比較結果が異なる組み合わせ間で共通して比較対象となった1本のダミービット線に接続されるダミーセル・トランジスタと同じ設定が行われていると判断することができる。また、比較回路の全ての組み合わせの比較結果が一致した場合には、選択されたメモリセル・トランジスタの設定値がその比較結果に応じた両端のいずれかの値であると判断することができる。しかも、これらの比較の際のマージンは、少なくとも相互コンダクタンスを複数の値に設定したときの最小設定ピッチ以上の幅を有することになる。

【0017】この結果、本発明の半導体記憶装置によれば、選択されたメモリセル・トランジスタの出力電位をダミーセル・トランジスタの出力電位と比較し、かつ、同じ設定のダミーセル・トランジスタの出力電位との比較を無視することができるので、比較マージンを大きくして安定した読み出しを行うことができる。

【0018】なお、通常の半導体記憶装置は、上記多数のメモリセル・トランジスタを接続するビット線が複数本設けられているので、データ読み出し時に選択回路によっていずれかのビット線のみを1本のデータ線に接続し、このデータ線の電位を当該選択されたビット線の電位として比較を行うようにする。また、ビット線とダミ

ービット線は、メモリセル・トランジスタ又はダミーセル・トランジスタを介して、通常は接地電源に接続されるので、プリチャージされた電位が放電により低下することになる。

【0019】

【実施例】本発明を実施例について以下に説明する。

【0020】図1に本発明の一実施例を示す。本実施例は、3値情報（1.5ビット）を記憶するマスクROMである。メモリセル1は、ビット線B1をメモリセル・トランジスタQ11を介して接地した回路によって構成されている。このメモリセル・トランジスタQ11は、予め記憶すべき3値の情報に応じて、低いしきい値 V_{th1} （約0.5V）、中間のしきい値 V_{th2} （約2.5V）又は電源電圧VCCレベルよりも高いしきい値 V_{th3} のいずれかに設定されている。設定するしきい値が異なると、これに応じてゲート電圧に対するドレイン電流の比を示す相互コンダクタンスも異なることになり、同じゲート電圧を印加してもドレイン・ソース間に流れる電流の大きさに相違が生じる。メモリセル・トランジスタQ11のゲートは、ワード線WL1に接続されている。ビット線B1は、コラム選択回路2を介してデータ線Dに接続されている。コラム選択回路2は、ビット線B1とデータ線Dとの間に挿入されたNMOSトランジスタQ1からなり、ビット線B1を選択するCSel1信号が活性状態になるとオンになる。なお、ビット線B1には、実際にはさらに多数のメモリセルが接続され、各メモリセルのメモリセル・トランジスタのゲートがそれぞれ異なるワード線に接続されている。また、実際には、このようなビット線も多数設けられ、コラムアドレスに基づいてコラム選択回路がいずれか1本のビット線のみをデータ線Dに接続するようになっている。

【0021】データ線Dには、充電回路3と負荷回路4とが接続されている。充電回路3は、読み出しの際にCP信号が活性化することによってビット線B1をV0電位にプリチャージする回路である。また、データ線Dは、第1比較回路5と第2比較回路6の一方の入力にそれぞれ接続されている。負荷回路4は、データ線Dの負荷を設定するための回路である。

【0022】本実施例では、3本のダミービット線BD1、BD2、BD3が設けられ、それぞれダミーセル7、8、9が接続されている。各ダミーセル7～9は、ダミービット線BD1～BD3をダミーセル・トランジスタQD1～QD3を介して接地した回路によってそれぞれ構成されている。ダミーセル・トランジスタQD1は、しきい値 V_{th1} に設定されたメモリセル・トランジスタと同じ特性のNMOSトランジスタであり、ダミーセル・トランジスタQD2は、しきい値 V_{th2} に設定されたメモリセル・トランジスタと同じ特性のNMOSトランジスタであり、ダミーセル・トランジスタQD3は、しきい値 V_{th3} に設定されたメモリセル・トランジスタと同じ特性のN

MOSトランジスタである。また、これらのダミーセル・トランジスタQD1～QD3のゲートも、ワード線WL1に接続されている。なお、各ダミービット線BD1～BD3には、実際にはさらに多数のダミーセルが接続され、各ダミーセルのダミーセル・トランジスタのゲートがそれぞれ異なるワード線に接続されている。各ダミービット線BD1～BD3には、上記充電回路3と負荷回路4とがそれぞれ接続されている。また、ダミービット線BD1、BD2は、それぞれ第1比較回路5の他方の入力に接続され、それぞれ負荷回路とダミーセル・トランジスタQD1、QD2により発生される参照電圧VREF1と参照電圧VREF2を入力するようになっている。さらに、ダミービット線BD2、BD3は、それぞれ第2比較回路6の他方の入力に接続され、それぞれ負荷回路とダミーセル・トランジスタQD2、QD3により発生される参照電圧VREF2と参照電圧VREF3を入力するようになっている。なお、これらのダミービット線BD1～BD3は、コラムアドレスにかかわらず、それぞれ常時オンとなるNMOSトランジスタQ2～Q4によって常に第1比較回路5及び第2比較回路6に接続されている。

【0023】第1比較回路5は、一方の入力トランジスタとしてのPMOSトランジスタQC1とPMOSトランジスタQC2とが並列に接続されると共に、他方の入力トランジスタとしてのPMOSトランジスタQC3とPMOSトランジスタQC4とが並列に接続された差動増幅回路によって構成されている。そして、データ線Dは、一方の入力トランジスタを構成するPMOSトランジスタQC1、QC2のゲートにそれぞれ接続され、ダミービット線BD1、BD2は、他方の入力トランジスタを構成するPMOSトランジスタQC3、QC4のゲートにそれぞれ接続されている。また、一方の入力トランジスタを構成するPMOSトランジスタQC1、QC2のドレインから比較結果SA1を出力する。

【0024】第2比較回路6は、一方の入力トランジスタとしてのPMOSトランジスタQC5とPMOSトランジスタQC6とが並列に接続されると共に、他方の入力トランジスタとしてのPMOSトランジスタQC7とPMOSトランジスタQC8とが並列に接続された差動増幅回路によって構成されている。そして、データ線Dは、一方の入力トランジスタを構成するPMOSトランジスタQC5、QC6のゲートにそれぞれ接続され、ダミービット線BD1、BD2は、他方の入力トランジスタを構成するPMOSトランジスタQC7、QC8のゲートにそれぞれ接続されている。また、一方の入力トランジスタを構成するPMOSトランジスタQC5、QC6のドレインから比較結果SA2を出力する。

【0025】第1比較回路5及び第2比較回路6は、それぞれCE（チップ・イネーブル）バー信号が活性状態の場合にのみ増幅動作を行う。

【0026】上記構成の読み出し回路の動作を説明す

る。

【0027】ここでは、メモリセル1からデータを読み出す場合について示す。まずコラムアドレスに基づいてCSe11信号が活性状態となり、コラム選択回路2がビット線B1をデータ線Dに接続すると共に、CP信号を活性状態とすることにより充電回路3がこのデータ線D及びビット線B1をV0電位にプリチャージする。また、ローアドレスに基づいてワード線WL1が選択され、メモリセル1のメモリセル・トランジスタQ11のゲートに電源電圧VCCレベルの電圧が印加されると共にダミーセル7、8、9の各ダミーセル・トランジスタQD1～QD3のゲートにも電源電圧VCCレベルの電圧が印加される。

【0028】上述の状態でCP信号を不活性状態に戻し充電回路3を停止させると、各ダミービット線BD1～BD3は、ダミーセル7～9における各ダミーセル・トランジスタQD1～QD3のしきい値に応じて電位が変化することになる。即ち、ダミーセル・トランジスタQD1は、しきい値Vth1に設定されているので、電源電圧VCCレベルのゲート電圧の印加によりオン状態となり、相互コンダクタンスも大きいため大きな放電電流が流れる。従って、ダミービット線BD1の電位、即ち参照電圧VREF1は、図2に示すように、V0電位から急速に低下する。また、ダミーセル・トランジスタQD2は、しきい値Vth2に設定されているので、電源電圧VCCレベルのゲート電圧の印加によりオン状態となるが、相互コンダクタンスはあまり大きくならないために放電電流もしきい値Vth1の場合より少なくなる。従って、ダミービット線BD2の電位、即ち参照電圧VREF2は、V0電位から比較的緩やかに低下する。さらに、ダミーセル・トランジスタQD3は、しきい値Vth3に設定されているので、電源電圧VCCレベルのゲート電圧を印加してもオフ状態のままであり、相互コンダクタンスが極めて小さくなるために放電電流もほとんど流れない。従って、ダミービット線BD3の電位、即ち参照電圧VREF3は、V0電位のままとなる。

【0029】また、ビット線B1も、メモリセル1におけるメモリセル・トランジスタQ11のしきい値の設定に応じて電位が変化する。即ち、例えばメモリセル・トランジスタQ11がしきい値Vth1に設定されている場合には、ダミービット線BD1の参照電圧VREF1とほぼ同様に、ビット線B1の電位が急速に低下する。また、メモリセル・トランジスタQ11がしきい値Vth2に設定され

ている場合には、ダミービット線BD2の参照電圧VREF2とほぼ同様に、ビット線B1の電位が比較的緩やかに低下する。さらに、メモリセル・トランジスタQ11がしきい値Vth3に設定されている場合には、ダミービット線BD3の参照電圧VREF3とほぼ同様に、ビット線B1の電位がV0電位のままとなる。

【0030】このようにしてメモリセル・トランジスタQ11のしきい値の設定に応じて変化するビット線B1の電位は、データ線Dを介して第1比較回路5に入力され、ダミービット線BD1の参照電圧VREF1と比較されると共にダミービット線BD2の参照電圧VREF2とも比較される。ここで、メモリセル・トランジスタQ11がしきい値Vth1に設定されていたとすると、ビット線B1の電位が参照電圧VREF1とほぼ同様に変化するためPMOSトランジスタQC1とPMOSトランジスタQC3の駆動電流もほぼ同じになる。しかし、参照電圧VREF2は、常にビット線B1よりも高電位となるので、PMOSトランジスタQC2はPMOSトランジスタQC4よりも駆動電流が大きくなる。従って、この場合には、第1比較回路5の比較結果SA1がHレベルとなる。また、メモリセル・トランジスタQ11がしきい値Vth2又はしきい値Vth3に設定されていた場合には、この第1比較回路5の比較結果SA1が共にLレベルとなる。

【0031】ビット線B1の電位は、データ線Dを介して第2比較回路6にも入力され、ダミービット線BD2の参照電圧VREF2と比較されると共に、ダミービット線BD3の参照電圧VREF3とも比較される。ここで、メモリセル・トランジスタQ11がしきい値Vth1に設定されていたとすると、ビット線B1の電位が参照電圧VREF1とほぼ同様に変化するため、参照電圧VREF2と参照電圧VREF3の方が常に高電位となり、第1比較回路5の比較結果SA2がHレベルとなる。また、メモリセル・トランジスタQ11がしきい値Vth2又はしきい値Vth3に設定されていた場合には、第1比較回路5の比較結果SA1がそれぞれHレベルとLレベルになる。

【0032】従って、メモリセル・トランジスタQ11が設定されたしきい値に対する第1比較回路5と第2比較回路6の比較結果SA1、SA2は、表1に示すようになり、これに基づいて選択したメモリセル1の記憶情報を判断することができる。

【0033】

【表1】

9

10

設定しきい値	比較結果 SA ₁	比較結果 SA ₂
V _{TH1}	H レベル	H レベル
V _{TH2}	L レベル	H レベル
V _{TH3}	L レベル	L レベル

【0034】この結果、本実施例によれば、例えばメモリセル1のメモリセル・トランジスタQ11がしきい値V_{th2}に設定されていたとすると、第1比較回路5では、参照電圧V_{REF2}が無視されて参照電圧V_{REF1}との比較のみによって比較結果SA₁が出力され、第2比較回路6でも、参照電圧V_{REF2}が無視されて参照電圧V_{REF3}との比較のみによって比較結果SA₂が出力される。従って、これらの比較の際の電位差が少なくとも3種類のしきい値の最小設定ピッチ以上の幅を有することになり、比較マージンを従来の2倍に広げることができる。

【0035】

【発明の効果】以上の説明から明らかなように、本発明の半導体記憶装置によれば、メモリセルに記憶された多値情報の比較マージンを大きくして、安定した読み出しを行うことができるようになる。

【図面の簡単な説明】

【図1】本発明の一実施例における読み出し回路のブロック図である。

【図2】その実施例における参照電圧の変化を示すタイムチャートである。

【図3】従来の半導体記憶装置における読み出し回路のブロック図である。

【図4】その従来例におけるビット線の電位の変化を示すタイムチャートである。

【符号の説明】

5 第1比較回路

6 第2比較回路

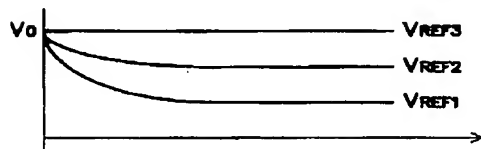
B1 ビット線

Q11 メモリセル・トランジスタ

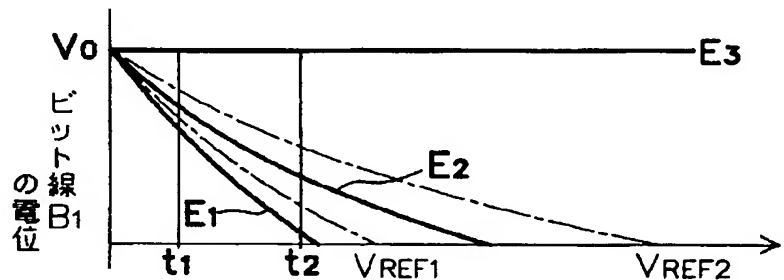
QD1～QD3 ダミーセル・トランジスタ

BD1～BD3 ダミービット線

【図2】



【図4】



The circuit diagram illustrates a semiconductor device with a multi-bit data bus and sense amplifiers. At the bottom, a word line WL_1 is connected to the gates of access transistors Q_{D1} , Q_{D2} , and Q_{D3} (labeled 7, 8, and 9 respectively). These transistors are connected to bit lines B_{D1} , B_{D2} , and B_{D3} . A common bit line B_1 is also shown, connected to access transistor Q_{11} (labeled 1). The bit lines are connected to a sense amplifier circuit (labeled 5) and a data bus (labeled 4). The sense amplifier circuit includes two stages, each with a differential pair of transistors (Q_{C1} , Q_{C2} and Q_{C3} , Q_{C4} in the first stage; Q_{C5} , Q_{C6} and Q_{C7} , Q_{C8} in the second stage) and a common-emitter stage (Q_{C1} , Q_{C2} and Q_{C5} , Q_{C6} in the first stage; Q_{C3} , Q_{C4} and Q_{C7} , Q_{C8} in the second stage). The sense amplifier circuit is connected to a reference voltage V_{REF1} and V_{REF2} . The data bus (labeled 4) is connected to a load circuit (labeled 4) and a charging circuit (labeled 3). The charging circuit is connected to a control signal CP . The data bus is also connected to a sense amplifier circuit (labeled 6) and a data bus (labeled 4). The sense amplifier circuit (labeled 6) is connected to a reference voltage V_{REF3} and a data bus (labeled 4). The data bus (labeled 4) is connected to a sense amplifier circuit (labeled 2) and a data bus (labeled 4). The sense amplifier circuit (labeled 2) is connected to a control signal $CSEL_1$ and a data bus (labeled 4). The data bus (labeled 4) is connected to a sense amplifier circuit (labeled 1) and a data bus (labeled 4). The sense amplifier circuit (labeled 1) is connected to a control signal Q_{11} and a data bus (labeled 4).

【図3】

